

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092947

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 29/78

(21)Application number : 08-245048

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.09.1996

(72)Inventor : IMAI SEIJI

KUROBE ATSUSHI

SUGIYAMA NAOHARU

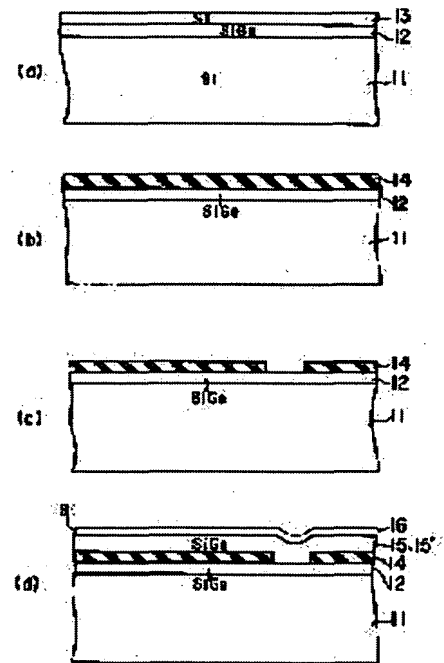
TEZUKA TSUTOMU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high performance integrated transistors by forming well aligned n-channel MOS transistors using a tensile-stressed Si layer and p-channel MOS transistors using a compression-stressed SiGe layer formed basically as a thin film layer structure on the same substrate.

SOLUTION: N-channel MOS transistors using a tensile-stressed Si layer 16 for channel regions and p-channel MOS transistors using a compression-stressed SiGe layer 12 for channel regions are formed basically as a thin film layer structure on the same substrate, resulting in that the properties of both layers are fully utilized to realize a high speed and high performance integrated transistors. Since an SOI structure is utilized at the n-MOSFET forming region, its feature can be utilized to greatly reduce the parasitic capacitance of the device to more advance the high speed and high performance of the integrated transistors.



LEGAL STATUS

[Date of request for examination]

28.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3311940

[Date of registration]

24.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-92947

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8234

H 0 1 L 27/08

1 0 2 C

27/088

29/78

3 0 1 H

29/78

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平8-245048

(22) 出願日 平成8年(1996) 9月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 今井 聖支

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 黒部 篤

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 杉山 直治

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

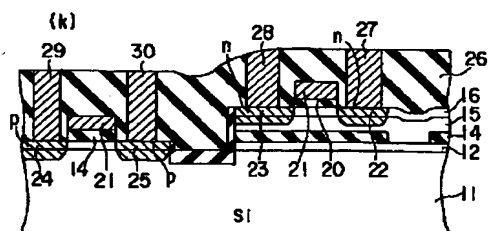
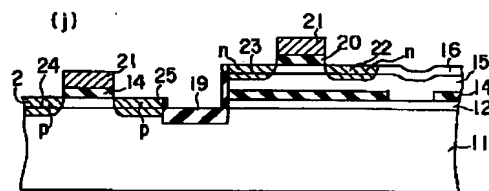
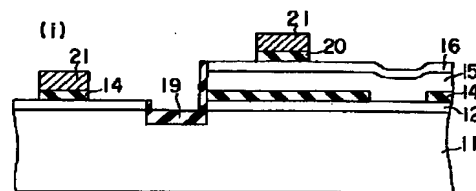
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 同一基板上に薄膜層構造を用いて引っ張り歪み状態のSi層と圧縮歪み状態のSiGe層とを整合性良く作製することができ、高速・高性能な集積化トランジスタを実現する。

【解決手段】 チャネルにおける結晶の歪みを利用して素子動作の高速化を図った半導体装置において、Si基板11と、Si基板11上に形成された圧縮歪み状態の第1のSiGe層12と、第1のSiGe層12の一部に形成されたpMOSFETと、第1のSiGe層12のpMOSFET形成領域以外の領域に酸化膜14を介して形成され、かつ一部が該酸化膜14の開口を介して第1のSiGe層12に直接接続された格子緩和状態の第2のSiGe層15と、第2のSiGe層15上に形成された引っ張り歪み状態のSi層16と、Si層16に形成されたnMOSFETとを備えた。



【特許請求の範囲】

【請求項1】シリコン基板と、このシリコン基板上に形成された圧縮歪み状態の第1のシリコンゲルマニウム層と、この第1のシリコンゲルマニウム層の所定領域に形成されたpチャネルのMOSトランジスタと、第1のシリコンゲルマニウム層のpチャネルMOSトランジスタ形成領域以外の領域に絶縁膜を介して形成され、かつ一部が該絶縁膜の開口を介して第1のシリコンゲルマニウム層に直に接続された格子緩和状態の第2のシリコンゲルマニウム層と、この第2のシリコンゲルマニウム層上に形成された引っ張り歪み状態のシリコン層と、このシリコン層に形成されたnチャネルMOSトランジスタとを具備してなることを特徴とする半導体装置。

【請求項2】シリコン基板上に圧縮歪み状態の第1のシリコンゲルマニウム層をエピタキシャル成長する工程と、第1のシリコンゲルマニウム層上に一部開口を有する絶縁膜を形成する工程と、前記絶縁膜上及び該絶縁膜の開口内にCVD法で非晶質シリコンゲルマニウム層を堆積する工程と、前記非晶質シリコンゲルマニウム層に熱処理を施し、該層を前記絶縁膜の開口部から結晶化して格子緩和状態の第2のシリコンゲルマニウム層を形成する工程と、第2のシリコンゲルマニウム層上に引っ張り歪み状態のシリコン層をエピタキシャル成長する工程と、前記シリコン層及び第2のシリコンゲルマニウム層の一部を除去する工程とを含み、前記シリコン層及び第2のシリコンゲルマニウム層を除去した領域では第1のシリコンゲルマニウム層にpチャネルMOSトランジスタを形成し、前記シリコン層及び第2のシリコンゲルマニウム層を残した領域では該シリコン層にnチャネルMOSトランジスタを形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSトランジスタを有する半導体装置に係わり、特にチャネルにおける結晶の歪みを利用して高速化を図った半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、MOSトランジスタの高速化を図るために、シリコン(Si)とゲルマニウム(Ge)のヘテロ構造を利用する試みがなされている。例えば、nチャネルMOSトランジスタ(以下、nMOSFETと略記する)の高速化を図るために、Si基板上に格子緩和させたSiGeバッファ層を介して、この上に引っ張り歪み状態のSi層を形成し、この引っ張り歪み状態のSi層をチャネルとして利用する方法が提案されている。この引っ張り歪み状態のSi層ではバルクSiと比較して電子移動度が増大するため、MOSトランジスタを高速化できることが知られている(IEDM Tech. Digest, 1994, p373-376)。

【0003】しかしながら、この技術を用いて引っ張り歪み状態のSi層を得るためには、SiGeバッファ層を格子緩和状態にするために、2 μ m程度と厚く形成する必要がある。このような厚い膜を用いて作製したMOSFETでは、ソース・ドレイン間の寄生容量が増大し、結果的に高速化が困難となる。

【0004】一方、pチャネルMOSトランジスタ(以下、pMOSFETと略記する)の高速化を図るためには、Si基板上に圧縮歪み状態のSiGe層を形成し、これをチャネルとして利用する方法が知られている。この圧縮歪み状態のSiGe層はバルクSiと比較して正孔移動度が増大するため、pMOSFETの高速化を図ることが可能となる(IEEE ELECTRON DEVICE LETTERS, VOL15, NO. 10, 1994, P402-405)。ここで、圧縮歪み状態のSiGe層を形成するためには、SiGe層の膜厚をGeの組成比と成長温度により決定される臨界膜厚以下にする必要がある(J. Appl. Phys, vol70, No. 4, 1991, P2136-2151)。

【0005】ところで、高集積で低消費電力のLSIを製造するためには、nMOSFETとpMOSFETとを組み合わせる集積化トランジスタを形成しなければならない。このとき、引っ張り歪み状態のSi層を用いたnMOSFETでは、下地としてのSiGe層は格子緩和状態であることが必要でその膜厚が厚いことが要求され、圧縮歪み状態のSiGe層を用いたpMOSFETでは、SiGeの膜厚が薄いことが要求される。つまり、nMOSFETとpMOSFETで必要とされるSiGe層の膜厚(歪み状態)が異なることから、これらを同一基板上に集積化しても満足する特性は得られない。

【0006】なお、pMOSFETとnMOSFETを全く独立の層で形成することも考えられるが、この場合、成膜回数が増えると共に製造工程の大幅な複雑化を招き、両者を同一基板に集積化する意味がなくなる。また、nMOSFETにはSiGe層の厚膜層構造に起因する高速化に不利であるという問題も残っている。

【0007】

【発明が解決しようとする課題】このように従来、引っ張り歪み状態のSi層を用いたnMOSFETと、圧縮歪み状態のSiGe層を用いたpMOSFETでは、nMOSFETの厚膜層構造に起因する高速化に不利であるという問題と、さらに両MOSFETで必要とされるSiGe層の歪み状態が異なることから、同一基板上に集積化することが困難であるという問題があった。

【0008】本発明は、上記問題に鑑みてなされたもので、その目的とするところは、同一基板上に薄膜層構造を用いて引っ張り歪み状態のSi層と圧縮歪み状態のSiGe層とを整合性良く作製することができ、高速・高性能な集積化トランジスタの実現に寄与する半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

(構成) 上記課題を解決するために本発明は、次のような構成を採用している。即ち、本発明(請求項1)は、同一基板上にpMOSFETとnMOSFETを集積化した半導体装置において、Si基板と、このSi基板上に形成された圧縮歪み状態の第1のSiGe層と、この第1のSiGe層の所定領域に形成されたpMOSFETと、第1のSiGe層のpMOSFET形成領域以外の領域に絶縁膜を介して形成され、かつ一部が該絶縁膜の開口を介して第1のSiGe層に直に接続された格子緩和状態の第2のSiGe層と、この第2のSiGe層上に形成された引っ張り歪み状態のSi層と、このSi層に形成されたnMOSFETとを具備してなることを特徴とする。

【0010】また、本発明(請求項2)は、上記半導体装置の製造方法において、Si基板上に圧縮歪み状態の第1のSiGe層をエピタキシャル成長する工程と、第1のSiGe層上に一部開口を有する絶縁膜(Si酸化膜)を形成する工程と、前記絶縁膜上及び該絶縁膜の開口内にCVD法で非晶質SiGe層を堆積する工程と、前記非晶質SiGe層に熱処理を施し、該層を前記絶縁膜の開口部から結晶化して格子緩和状態の第2のSiGe層を形成する工程と、第2のSiGe層上に引っ張り歪み状態のSi層をエピタキシャル成長する工程と、前記Si層及び第2のSiGe層の一部を除去する工程とを含み、前記Si層及び第2のSiGe層を除去した領域では第1のSiGe層にpMOSFET形成し、前記Si層及び第2のSiGe層を残した領域では該Si層にnチャネルMOSトランジスタを形成することを特徴とする。

【0011】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 引っ張り歪み状態のSi層中に形成されたチャネル領域を主に電子の流れる領域とし、圧縮歪み状態の第1のSiGe中に形成されたチャネル領域を主に正孔の流れる領域とすること。

(2) 第1のSiGe層上に形成する絶縁膜は、第1のSiGe層上にSi層をエピタキシャル成長した後、熱酸化により該Si層を酸化膜化することにより得られる。

(3) シリコン酸化膜上に非晶質のSiGe層を形成する前に、シリコン酸化膜の開口部に選択エピタキシャルにより単結晶SiGeを形成する。

(作用) 本発明によれば、第1のSiGe層/第2のSiGe層/Si層の僅か3層の少ない層構造でありながら、pMOSFETは圧縮歪み状態の第1のSiGe層に形成することができ、nMOSFETは引っ張り歪み状態のSi層に形成することができる。このため、pMOSFET及びnMOSFETの両方の高速化を図ることができる。

【0012】ここで、引っ張り歪み状態のSi層を形成するためには、その下地として格子緩和状態のSiGe層を形成する必要がある、一般にはSiGe層の膜厚を厚くしなければならない。本発明では、SiGe層を非晶質SiGe層の堆積後のアニールにより結晶化して得ることにより、SiGe層の膜厚を薄くしても格子緩和状態に保持している。これは、nMOSFETにおけるソース・ドレイン間の寄生容量の低減につながり、高速化により有効となる。

【0013】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

(第1の実施形態) 図1～図3は、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図である。

【0014】まず、図1(a)に示すように、Si基板11を例えばRCA法において洗浄した後、エピタキシャルプロセスにより厚さ50nm程度のSi_{0.7}Ge_{0.3}層(第1のシリコンゲルマニウム層)12を成長温度500℃で形成する。このとき形成したSiGe層12を圧縮歪み状態にするために、その膜厚をGe組成比と成長温度で決まる臨界膜厚以下にする必要がある。

【0015】ここで、SiGe層12のGe百分率は、20～50%の範囲が望ましい。Ge百分率20%未満では、SiGe層12において移動度の増大が望めないからである。一方、50%より大きい場合には、SiGe層12の膜質及びモフォロジーが低下し、やはり電気的特性の向上は望むことができないからである。

【0016】また、SiGe層12の膜厚は、成長温度を500℃程度としたときGe百分率20～50%に対応して、40～300nmの範囲が好ましい。それは、上記範囲より大きい場合には、SiGe層12を圧縮歪み状態にすることが困難だからである。

【0017】次いで、同じくエピタキシャルプロセスにより成長温度500℃で、SiGe層12上に厚さ10nmのSi層13を形成する。ここで、Si層13の膜厚を10nm以下にすることが望ましい。その理由は、後にSi層13を熱酸化してできるだけ薄いゲート酸化膜を形成することにより、MOSFETの短チャネル効果の抑制と駆動電流の向上を図るために必要だからである。

【0018】ここで、Si層及びSiGe層のエピタキシャルプロセスについては、例えばB. S. Meyersonらの文献("Low temperature silicon epitaxy by UHV/CVD" Appl. Phys. Lett., vol. 48, p797-799, 1986及び"Cooperative growth phenomena in silicon/germanium low-temperature epitaxy" Appl. Phys. Lett., vol. 53, p2555-2557, 1988)に記載されている。

【0019】次いで、図1(b)に示すように、表面全体を熱酸化して厚さ20nm程度のpMOSFETのゲ

ート酸化膜となる熱酸化膜14を形成する。このとき、pMOSFET形成領域の熱酸化膜14は、圧縮歪み状態のSiGe層12まで熱酸化が及ぶことなく形成されることが望ましい。一般に、SiGe層を熱酸化してゲート絶縁膜を形成した場合、界面準位密度が高くなりデバイス動作時にリーク電流増大の原因となるからである。この後、チャネル層には熱酸化膜を介して、しきい値調整用のイオン注入を行い、pチャネル領域（不図示）を形成する。

【0020】次いで、図1(c)に示すように、熱酸化膜14を選択エッチングにより一部除去して開口部を形成する。次いで、図1(d)に示すように、基板表面全体にCVD法により厚さ200nm程度の非晶質Si_{0.7}Ge_{0.3}層15'を形成する。この後、この基板を例えば電気炉を用いてN₂雰囲気中で600℃程度の熱処理を行う。その結果、非晶質SiGe層15'が開口部から結晶化され、僅か200nm程度と薄膜の格子緩和したSiGe層（第2のシリコンゲルマニウム層）15を作製することができる。

【0021】ここで得られた薄膜の格子緩和したSiGe層15は、Si基板上に通常のエピタキシャルプロセスにより形成する方法では達成困難なものであり、固相エピタキシャル法で初めて容易に作製されるものである。

【0022】次いで、エピタキシャルプロセスにより成長温度500℃で、SiGe層15上に厚さ30nmのSi層16を形成する。この結果、格子緩和したSiGe層15上には、引っ張り歪み状態のSi層16が形成される。

【0023】次いで、図2(e)に示すように、レジストを塗布し、露光、現像を行って、nMOSFETの形成予定領域にレジストパターン17を形成する。このレジストパターン17をマスクとして、pMOSFET形成予定領域の表面のSi層16とSiGe層15を通常のCDE（ケミカル・ドライ・エッチング）やRIE（反応性イオンエッチング）を用いて除去する。

【0024】次いで、図2(f)に示すように、レジストパターン17を除去した後、再度レジストを塗布し、露光、現像を行って、素子分離予定領域以外にレジストパターン18を形成する。このレジストパターン18をマスクとして、素子分離予定領域の表面の熱酸化膜14とSiGe層12を通常のCDE（ケミカル・ドライ・エッチング）やRIE（反応性イオンエッチング）を用いて除去する。

【0025】次いで、図2(g)に示すように、レジストパターン18を除去した後、LOCOS分離法、或いはトレンチ分離法により素子分離領域19を形成し、nMOSFETの形成予定領域とpMOSFETの形成予定領域とを素子分離する。

【0026】次いで、図2(h)に示すように、表面全

体を熱酸化してnMOSFETの形成予定領域に厚さ10nm程度のゲート酸化膜20を形成する。この後、nチャネル層にはゲート酸化膜20を介して、しきい値調整用のイオン注入を行い、nチャネル領域（不図示）を形成する。

【0027】次いで、図3(i)に示すように、ゲート酸化膜14、20上に減圧CVD法により多結晶シリコン層を形成した後、この多結晶シリコン層をRIEにより加工して、pMOSFET及びnMOSFETの各領域にゲート電極21をそれぞれ形成する。このとき、同時にRIEによりゲート酸化膜14、20も同時にパターニングする。

【0028】次いで、図3(j)に示すように、ゲート電極21をマスクとして、nMOSFET形成領域にリンを選択的にイオン注入して、n型ソース領域22、n型ドレイン領域23を形成し、またpMOSFET形成予定領域にボロンを選択的にイオン注入して、p型ソース領域24、p型ドレイン領域25を形成する。この後、800℃程度の熱処理によって不純物の活性化を行う。

【0029】次いで、図3(k)に示すように、全面にSi酸化膜などの層間絶縁膜26をCVD法により形成した後、この層間絶縁膜26に各MOSFET領域に対するコンタクトホールを開口する。最後に、全面にAl膜等の導電膜を堆積した後、この導電膜をパターニングして、nMOSFET側のソース電極27、ドレイン電極28、ゲート引き出し電極（不図示）、pMOSFET側のソース電極29、ドレイン電極30、ゲート引き出し電極（不図示）を形成して、集積化トランジスタが完成する。

【0030】図4はこの集積化トランジスタの平面図である。同図において、pMOSFETのチャネル領域（横線）は主に圧縮歪みSiGe層から形成されている。また同図で、nMOSFETのチャネル領域（斜線）は引っ張り歪みSi層から形成されている。なお、図には示していないが、両MOSFETを共にノーマリオフ型に形成し、両MOSFETの各ゲートを共通接続して入力端子となし、各ドレインを共通接続して出力端子となし、各々のソースを電源、接地端に接続することにより、CMOSインバータを構成することができる。

【0031】本実施形態によれば、引っ張り歪み状態のSi層16をチャネル領域に用いたnMOSFETと圧縮歪み状態のSiGe層12をチャネル領域に用いたpMOSFETを同一基板上に薄膜層構造を用いて作製できるため、その結果、両歪み層の特性を十分引き出し、集積化トランジスタの高速・高性能化を図ることができる。

【0032】また、本実施形態ではnMOSFET形成領域にSOI構造を利用しているため、その特長を活かしてデバイスの寄生容量の大幅な低減も可能となり、そ

の結果、集積化トランジスタの高速・高性能化をより促進することができる。

【第2の実施形態】図5は、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図である。なお、図1～図3と対応する部分には同一符号を付してあり、詳細な説明は省略する。

【0033】本実施形態が先に説明した第1の実施形態と異なる点は、格子緩和状態のSiGe層15を選択エピタキシャルプロセスと固相エピタキシャルプロセスとにより形成する点である。

【0034】まず、図5(a)に示すように、表面にSi_{0.7}Ge_{0.3}層12と熱酸化膜14を有するSi基板11を準備する。次いで、図5(b)に示すように、熱酸化膜14を選択エッチングにより一部除去して開口部を形成する。ここまでは、第1の実施形態における図1(a)～(c)の工程と同様である。

【0035】次いで、図5(c)に示すように、熱酸化膜14の開口部に選択エピタキシャルプロセスにより単結晶Si_{0.7}Ge_{0.3}層31を埋込み形成する。次いで、図5(d)に示すように、基板表面全体にCVD法により厚さ20nm程度の非晶質Si_{0.7}Ge_{0.3}層15'を形成する。その後、この基板を例えば電気炉を用いてN₂雰囲気中で600℃程度の熱処理を行い、非晶質SiGe層15'を単結晶SiGe層31からの固相成長で結晶化することにより、格子緩和状態のSiGe層15を作製することができる。

【0036】これ以降は、第1の実施形態に示した製造工程に従えば、同様な集積化トランジスタを作製することができる。なお、本発明は上述した各実施形態に限定されるものではない。第1及び第2のシリコンゲルマニウム層、シリコン層の厚さは、実施形態で示した値に何等限定されるものではなく、仕様に応じて適宜変更可能である。即ち、第1のシリコンゲルマニウム層は50nmに限らず、圧縮歪み状態にするためにGe組成比と成長温度で決まる臨界膜厚以下にすればよい。第2のシリコンゲルマニウム層は200nmに限らず、非晶質の状態で形成した後のアニールにより再結晶化した後に、格子緩和状態となる厚さであればよい。シリコン層は、引っ張り歪み状態が維持される厚さ以下であればよい。

【0037】また、実施形態ではゲート絶縁膜として熱酸化によるシリコン酸化膜を用いているが、必ずしもこれに限らず、熱酸化以外の酸化膜、更には酸化膜以外の絶縁膜を用いることも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0038】

【発明の効果】以上説明したように本発明によれば、同一基板上に薄膜層構造を基本とした引っ張り歪みSi層を用いたnチャネルMOSトランジスタと圧縮歪みSiGe層を用いたpチャネルMOSトランジスタを整合性良く形成できるため、それら2つの歪み層の特性を十分に引き出した高速・高性能な集積化トランジスタを実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図2】第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図3】第1の実施形態に係わる半導体装置の製造工程を示す断面図。

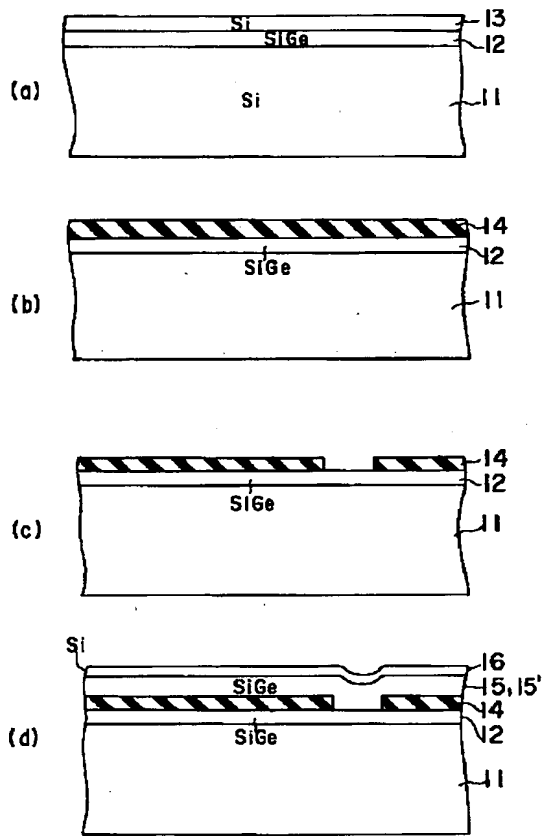
【図4】第1の実施形態に係わる半導体装置の概略構成を示す平面図。

【図5】第2の実施形態に係わる半導体装置の製造工程を示す断面図。

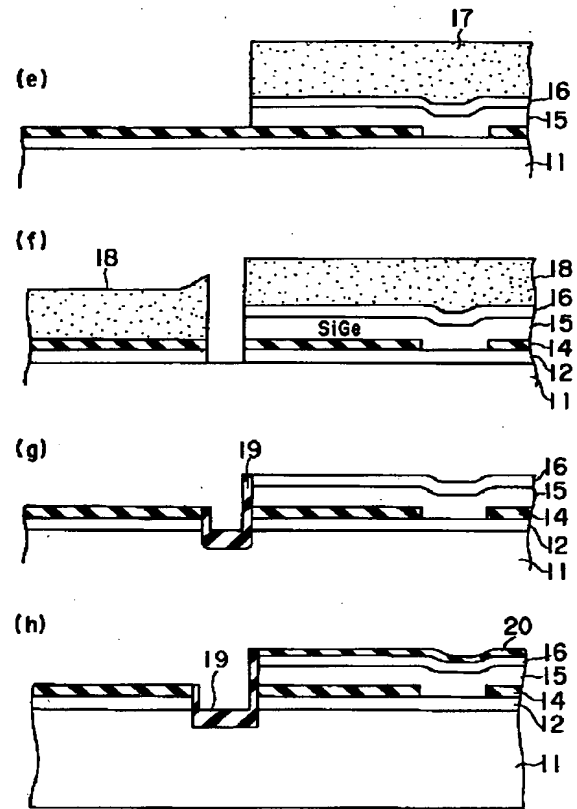
【符号の説明】

- 11…Si基板
- 12…Si_{0.7}Ge_{0.3}層（第1のシリコンゲルマニウム層）
- 13…酸化膜形成用のSi層
- 14…熱酸化膜
- 15'…非晶質Si_{0.7}Ge_{0.3}層
- 15…Si_{0.7}Ge_{0.3}層（第2のシリコンゲルマニウム層）
- 16…素子形成用のSi層
- 17…レジストパターン
- 18…レジストパターン
- 19…素子分離領域
- 20…ゲート酸化膜
- 21…ゲート電極
- 22…n型ソース領域
- 23…n型ドレイン領域
- 24…p型ソース領域
- 25…p型ドレイン領域
- 26…層間絶縁膜
- 27…nMOS側ソース電極
- 28…nMOS側ドレイン電極
- 29…pMOS側ソース電極
- 30…pMOS側ドレイン電極
- 31…埋込みSi_{0.7}Ge_{0.3}層

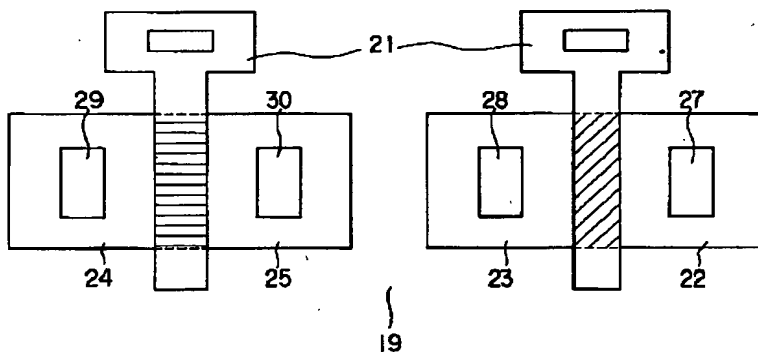
【図 1】



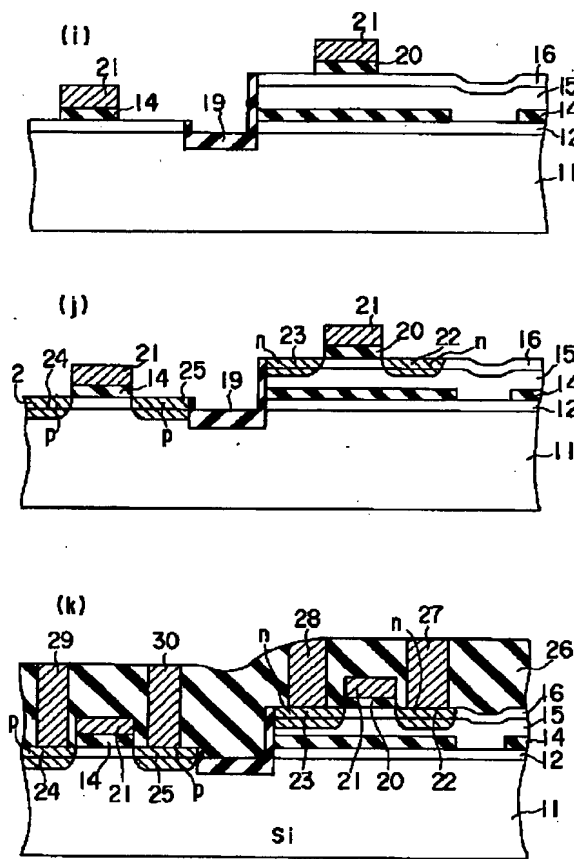
【図 2】



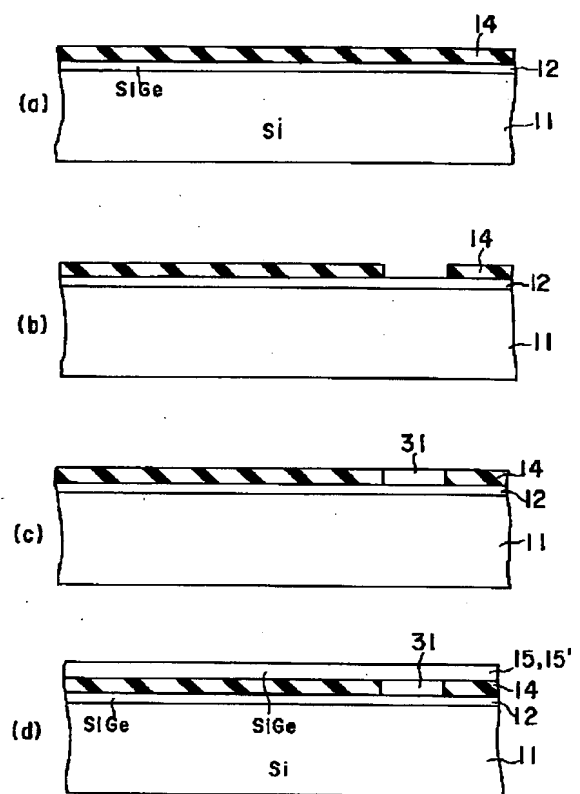
【図 4】



【図3】



【図5】



フロントページの続き

(72) 発明者 手塚 勉

神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝研究開発センター内